(12) **EUROPEAN PATENT APPLICATION**

(54) **Hetero-junction field effect transistor.**

(57) A high speed transistor featured by a wide operation range and a high gain has a channel layer of three-layer structure having undoped GaInAs layers (130a, 130b) arranged above and beneath a GaAs layer (140) including at least one delta doped layer (n-type). A cap layer (150) which is an undoped GaAs layer and a buffer layer (120) are formed above and beneath the channel layer of three-layer structure, on a substrate (110). A gate electrode (340), and a source region (350a), a drain region (350b), a source electrode (360) and a drain electrode (370) which are self-aligned to the gate electrode (340) are formed.

Fig. 5
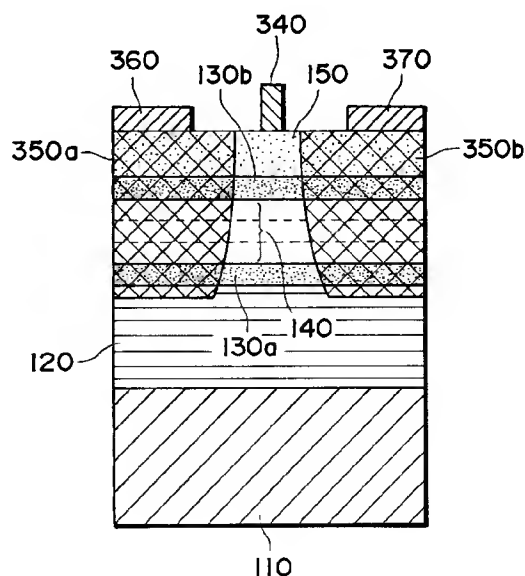
EP 0 555 886 A2

BACKGROUND OF THE INVENTION

Field of the Invention

The present invention relates to a semiconductor device, and more particularly to a hetero-junction field effect transistor which operates at a high speed with a low noise and a microwave monolithic integrated circuit (MMIC) which uses the FET.

Related Background Art

A hetero-junction field effect transistor (or high electron mobility transistor (HEMT)) which uses a selectively doped hetero-junction has been proposed as a high operating speed transistor. Fig. 1 shows a structure of a typical AlGaAs/GaAs high electron mobility transistor. The structure is described below.

An undoped GaAs layer 210 is formed on a semi-insulating GaAs substrate 110, and an AlGaAs layer (undoped AlGaAs spacer layer) 220 having a smaller affinity than that of GaAs is formed on the GaAs layer 210. The AlGaAs layer consists of the undoped AlGaAs spacer layer 220 and an AlGaAs layer 230 doped with n-type dopant (an element such as Si or Se), which are formed on the GaAs 210. A gate electrode 250 is formed on the AlGaAs layer, and a source electrode 270 and a drain electrode 280 are formed on a Si-GaAs contact layer 260 to sandwich the gate electrode 250. This electrode structure is called a recessed structure because the gate electrode is provided at the bottom of the grove (recess), and it is a common gate electrode structure in the HEMT. By this structure, two-dimensional electron gas 240 is formed on the side of GaAs on the interface of AlGaAs/GaAs, and it serves as a drain-source channel (current path). A density of the two-dimensional electron gas 240 is controlled by the gate electrode 250 and a current between the source electrode 270 and the drain electrode 280 is modulated.

On the other hand, a pulse doped MESFET has been reported in the paper ED89-152 of the Study Group of the Electronic and Information as a transistor other than the HEMT, which operates at a high speed with a low noise. The pulse doped MESFET uses a GaAs layer having Si pulsively doped as a channel and has a structure as shown in Fig. 2. The structure is described below.

An undoped GaAs buffer layer 310 having a p carrier conductivity type (carrier density ~5x10^{15}cm^{-3})is formed on a semi-insulating GaAs substrate 110, and Si-doped GaAs (~14x10^{18}cm^{-3}) 320 is formed with a thickness of 100 angstrom. An undoped GaAs cap layer 330 having an n carrier conductivity type (~1x10^{15}cm^{-3}) is formed on the Si-doped GaAs channel layer 320. A profile of

impurity distribution is low in the GaAs buffer layer 310 and the GaAs cap layer 330, and pulsively high in the Si-doped GaAs layer 320. Therefore, this structure is called a pulse doped structure. A gate electrode 340, and n$^+$ ion implantation layer 350a and 350b, a source electrode 360 and a drain electrode 370 which are self-aligned to the gate electrode 340 are formed on the pulse doped structure. This electrode structure is called a planar structure because the gate electrode is planar.

Fig. 3 shows examples of characteristics of the AlGaAs/GaAs HEMT and the pulse doped MESFET. It shows a gate bias dependency of a transfer conductance (gm) when a device having a gate length of 0.3µm is used. The pulse doped MESFET has a mesa profile (broken line) of the transfer conductance gm to the gate bias, and a change in the transfer conductance gm when a biasing point is slightly shifted is small, but the value of the transfer conductance gm is smaller than that of the HEMT. The abruptnees of rise of the transfer conductance gm at the gate bias near a threshold (Vth), which is important as a low noise device, is inferior to the HEMT.

On the other hand, the HEMT exhibits an abrupt rise of the transfer conductance gm and a peak thereof is high, but since it has a peak profile (chain line) to the gate bias, the transfer conductance gm is significantly reduced if the bias point is slightly shifted. The reduction of the transfer conductance gm of the HEMT in a shallow gate bias side is due to a phenomenon called a real space transition in which a portion of the two-dimensional electrons transits to the AlGaAs layer which has a low electron velocity.

Fig. 4 shows an energy band chart of the HEMT shown in Fig. 1 along a line X-X, in which Ec denotes a bottom of a conduction band and Ev denotes a Fermi level. As shown in Fig. 4A, as the gate voltage V$_{GS}$ is raised toward a positive side, a portion of the two-dimensional gas generated in the interface of the undoped GaAs layer 210 transits to the n$^+$AlGaAs layer 230 as shown in Fig. 4B. As a result, a total electron mobility is reduced and the gm also is abruptly reduced from the peak.

The peak profile of the transfer conductance gm leads to a small design margin and a low yield of an integrated circuit (IC) when the integrated circuit is to be fabricated by using the HEMT. In the HEMT structure, since the abruptness in the interface of AlGaAs/GaAs is important, the planar gate electrode by the self-alignment ion implantation is not adopted. Because it is necessary to anneal the ion-implanted Si at a high temperature in order to activate it, and if Al in the AlGaAs layer is diffused into the GaAs layer in the annealing step, the electron mobility and a saturation velocity are significantly reduced. Accordingly, the gate

electrode in the HEMT is usually of recessed type, and a variance of depth of the recess in an etching process to form the recess is reflected to a variance of Vth. From the aspect of the process margin, too, the prior art HEMT is not always suitable as a device for constructing the integrated circuit.

SUMMARY OF THE INVENTION

In the light of the above, it is an object of the present invention to provide a high speed transistor having features of both the pulse doped MESFET (a wide operation range) and the HEMT (a high gain).

It is another object of the present invention to provide a HEMT which has a high gm and exhibits a small change of gm relative to the gate bias like the pulse doped MESFET.

In order to achieve the above object, a semiconductor device (for example, a field effect transistor (FET)or a monolithic integrated circuit comprising the FET) of the present invention which has a drain electrode, a source electrode and a gate electrode, and controlling a current flowing through a channel (current path) between the drain and the source by a voltage applied to the gate electrode, comprises:

A channel layer (a layer in which the channel is formed) formed by a GaAs layer including n-type dopant (for example, Si, SE, S or Te) and undoped GaInAs layers (layers having no dopant added thereto., Impurity may be included) sandwiching the GaAs layer; and a buffer layer made of an undoped semiconductor (for example, GaAs, GaInAs or AlGaAs) having a larger electrical negative degree than that of GaInAs. The channel layer is formed between the buffer layer and the gate electrode. The semiconductor device may further comprise an undoped cap layer electrically connected to said gate electrode and made of a semiconductor having a larger band gap than that of GaInAs. The chananel layer may include at least one two-dimensional layer including n-type dopant, undoped GaAs layers sandwiching said two dimensional layer and undoped GaInAs layers sandwiching said GaAs layer.

The channel layer may include an n-type GaAs layer doped with n-type dopant and undoped GaInAs layers sandwiching the GaAs layer.

A method for manufacturing a semiconductor device of the present invention comprises the steps of:

sequentically forming a buffer layer made of undoped GaAs and an undoped GaInAs layer on a GaAs substrate;

alternately growing an undoped GaAs layer and a delta doped layer having n-type dopant delta-doped on the GaInAs layer to form a channel layer;

forming a GaInAs layer and an undoped GaAs layer on the channel layer and forming a gate electrode on a predetermined area on the undoped GaAs layer; and forming a source region and a drain region by ion implantation with self-alignment to the gate electrode and forming a source electrode and a drain electrode and forming a source electrode and a drain electrode.

Another method for manufacturing a semicondutor device of the present invention comprises the steps of:

sequentially forming a buffer layer made of undopoed GaAs and an undoped GaInAs layer on a GaAs substrate;

sequentially growing an undoped GaAs layer, a delta doped layer having n-type dopant delta-doped and an undoped GaAs layer on the GaInAs layer to form a channel layer;

forming a GaInAs layer and an undoped GaAs layer on said channel layer and forming a gate electrode on a predetermined area on the undoped GaAs layer; and

forming a source region and a drain region by ion implantation with self-alignment to the gate electrode and forming a source electrode and a drain electrode.

In the semiconductor device of the present invention, two dimensional electron gas is formed in the vicinity of the hetero-interface of the GaAs layer including at least one two-dimention layer which includes n-type dopant and the underlying GaInAs. Since the electrons of the two-dimensional electron gas have a very high saturation velocity, an operation speed is very high. The hetero-junction is formed by the GaInAs layer and a buffer layer made of a semiconductor having a higher electronegativity and a larger band gap than those of GaInAs, and an energy barrier of a conduction band is formed in the hetero-interface. As a result for the electrons of the two-dimensional electron gas it is harder to flow into the buffer layer, and the rise of the transfer conductance gm at the gate bias near the threshold voltage Vth is abrupt.

Since the channel layer has a lamination structure of the two-dimensional layer including the n-type dopant and the undoped GaAs layer, even if a portion of the two-dimensional electrons makes real space transition and jumps into the GaAs layer when a gate bias (a positive voltage bias) to increase the drain current is applied, the reduction of the electron mobility and the saturation velocity are suppressed compared to the prior art HEMT which uses the Si-doped AlGaAs layer. Further, since the electrons which made the real space transition to the GaAs layer fall into a quantum well of the GaInAs layer on the GaAs layer to form the two-dimensional gas, the abrupt reduction of the trans-

fer conductance gm on the positive voltage side of the gate bias, which is inherent to the prior art HEMT, is avoided.

In accordance with the semiconductor device of the present invention, since the two-dimensional electron gas is formed in the vicinity of the hetero-interface, a very high speed operation is attained and the abrupt rise of the transfer conductance gm is attained by the energy barrier of the conduction band of the hetero-interface. Further, the abrupt reduction of the transfer conductance gm is prevented by the band structure of the hetero-interface of the GaAs layer and the GaInAs layer, and a high gain and a high operating speed are attained over a wide range of gate bias.

The present invention will become more fully understood from the detailed description given hereinbelow and the accompanying drawings which are given by way of illustration only, and thus are not to be considered as limiting the present invention.

Further scope of applicability of the present invention will become apparent from the detailed description given hereinafter. However, it should be understood that the detailed description and specific examples, while indicating preferred embodiments of the invention, are given by way of illustration only, since various changes and modifications within the spirit and scope of the invention will become apparent to those skilled in the art form this detailed description.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 shows a structure of conventional HEMT,
Fig. 2 shows a structure of a conventional pulse doped MESFET,
Fig. 3 shows characteristic of an embodiment and prior art,
Fig. 4A and 4B show an energy band chart of the HEMT, in which Fig. 4A shows an energy band when a gate voltage VGS = 0, and Fig. 4B shows an energy band when the gate voltage VGS>0 and a portion of two-dimensional electron gas transits to an n^+AlGaAs layer 230,
Fig. 5 shows a structure of a first embodiment,
Fig. 6A - 6C show a manufacturing process of the first embodiment,
Fig. 7 shows a structure of a second embodiment.
Fig. 8A and 8B show a band structure of a HEMT of the present invention, in which Fig. 8A shows a band structure when the gate voltage VGS = 0 and Fig. 8B shows a band structure when the gate voltage VGS>0,
Fig. 9A - 9C show a manufacturing process of a planar HEMT of an embodiment,

Fig. 10. shows a graph showing the dependency of gm to a gate bias in an AlGaAs/GaAs HEMT, a pulse doped MESFET and a HEMT of the present invention, and
Fig. 11A - 11C show a manufacturing process of planar HEMT of a third embodiment.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

The preferred embodiments of the present invention are now explained with reference to the drawings. The like or identical elements to those of the prior art device described above are simplified or omitted in the explanation. The doping indicates the addition of impurity and the undoping indicates non-addition of impurity.

Fig. 5 shows a first embodiment in which the present invention is applied to a field effect transistor. The transistor is characterized by a three-layer structure channel layer in which undoped GaInAs layers 130a and 130b are arranged above and beneath a GaAs layer 140 having at least one delta doped layer (n type). The delta doped layer is a thin layer having impurities doped planarly and it has a substantially stepwise impurity distribution with respect to overlying and underlying layers.

A cap layer 150 which is an undoped GaAs layer and a buffer layer 120 are formed above and beneath a channel layer of the three-layer structure (undoped GaAs layer layers 130a and 130b). They are formed above a substrate 110. Like the pulse doped MESFET, a gate electrode 340, n^+ion implantation layers (a source region and a drain region) 350a and 350b which are self-aligned to the gate electrode, a source electrode 360 and a drain electrode 370 are formed.

A transfer conductance gm characteristic of the present transistor is deemed as shown by a solid line in Fig. 3. The rise of the transfer conductance gm in the vicinity of the threshold level Vth is more abrupt than that of the pulse doped MESFET, and the transfer conductance gm can be suppressed even if the gate bias in driven into a positive side. Further, the transfer conductance gm is deemed to be generally higher than that of the pulse doped MESFET. Namely, it deems to have a combined characteristic of the wide operation range of the pulse doped MESFET, and the high gain of the HEMT. It is considered that those characteristic are due to the following.

The present transistor has the channel layer of the three-layer structure as the channel, and the two-dimensional electron gas is formed in the interface of the GaAs layer 140 and the GaInAs layer 130a, and in the interface of the cap layer 150-(GaAs) and the GaInAs layer 130b. The electrons of the two-dimensional electron gas have a higher

saturation velocity than a velocity at which they move in the pulse doped GaAs layer. As a result, a response speed or an operation speed is high. The current flowing between the source electrode 360 and the drain electrode 370, that is, the movement of the electrons of the two-dimensional electron gas is controlled by controlling the band structure of the interface by applying a voltage to the gate electrode 340. In this manner, the same high speed as that of the HEMT is attained.

An energy barrier is formed in the conduction band in the hetero-interface of the GaInAs layer 130a and the buffer layer 120(GaAs) due to difference between the band structures. Since the electrons are hard to flow into the buffer layer 120 by the energy barrier, the rise of the transfer conductance gm is abrupt when the gate bias is near the threshold level Vth. This causes a difference in the characteristic from the pulse doped MESFET.

Even if a portion of the two-dimensional electrons of the GaInAs layer 130a makes the real space transition and jumps into the GaAs layer 140 at a gate bias point which causes the increase of the drain current, that is, at a gate bias point driven into a positive side, the reduction of the electron mobility and the saturation velocity is not as much as that of the Si-doped AlGaAs layer of the HEMT, because the GaAs layer 140 includes the GaAs layer having the impurity delta-doped. Further, the GaInAs layer 130b is formed beneath the GaAs layer 140, and the electrons flow into the GaInAs layer 130b having a low potential of the conduction band to form the two-dimensional electrons. In this manner, the abrupt reduction of the transfer conductance gm which is inherent to the prior art HEMT is prevented and a wide operation range for the gate bias is attained.

Further, since the gate electrode is of planar structure, the transistor is very much suitable for use in constructing an integrated circuit.

A manufacturing process of the transistor of Fig. 6A - 6C is now explained.

The buffer layer 120 made of undoped GaAs having a p carrier conductivity type (a carrier density is substantially equal to an impurity concentration of ~5 x 10^{15} cm^{-3}) is formed on the semi-insulating GaAs substrate 110 to a thickness of 10,000 angstrom by using an organic metal vapor phase growth method (OMVPE method) or a molecule beam epitaxy method (MBE method). Then, the GaInAs layer 130a made of undoped $Ga_{0.72}In_{0.18}As$ having an n carrier conductivity type (a carrier density of ~5x10^{15}cm^{-3}) is formed to a thickness of 80 angstrom on the buffer layer 120. Then, the undoped GaAs layer 140a having an n carrier conductivity type (a carrier density of ~1x10^{15}cm^{-3}) is formed to a thickness of 25 angstrom (Fig. 6A).

The delta doped layer 140b1 having an n-type impurity such as Si or Se delta-doped is formed on the undoped GaAs layer 140a1. Then, the undoped GaAs layer 140a2 having an n carrier conductivity type (a carrier density of ~1x10^{15}cm^{-3}) is formed to a thickness of 25 angstrom. A similar step is repeated to form the delta-doped layer 140b2 and the undoped GaAs layer 140a3. Then, the GaInAs layer 130b made of undoped $Ga_{0.80}In_{0.20}As$ having an n carrier conductivity type (a carrier density of ~1x10^{15}cm^{-3}) is formed to a thickness of 100 angstrom on the undoped GaAs layer 140a3. Then, the cap layer 150 made of undoped GaAs having an n carrier conductivity type (a carrier density of ~1x10^{15}cm^{-3}) is formed to a thickness of 300 angstrom (Fig. 6B).

The gate electrode 340 is formed on the epi-structure of Fig. 6B. The n$^+$ion implantation layers (the source region and the drain region) 350a and 350b, the source electrode 360 and the drain electrode 370 are formed by self-alignment to the gate electrode 340 to complete the transistor (Fig. 6C).

In the present manufacturing process, since a compound semiconductor which includes Al is not used as a channel material even in the aneal process after the ion implantation, the reduction of the electron mobility and the saturation velocity is suppressed.

In this manner, the transistor which has the advantages of both the HEMT and the pulse doped MESFET in provided, and it is useful as a low noise device, a high frequency device or a high speed device. Since the epi-structure and the electrode structure are suitable for the integration, it may be useful as a transistor to construct an MMIC.

The first embodiment described above may be modified in various manners.

For example, parameters of the respective layers may assume various values and a variety of combination may be used.

The buffer layer 120 does not directly contribute to the operation of the transistor but the thickness thereof is determined while taking the thickness of the layer to be formed thereon into consideration.

As to the carrier densities of the GaInAs layers 130a and 130b, the amount of background impurity varies with a growth equipment. Usually, it is smaller than 10^{16}cm^{-3}. The band gap varies with the proportion of In in GaInAs, and the electron velocity is higher as the amount of In increases. However, since the proportion of In is limited by a difference between lattice constants of GaInAs and GaAs, it is usually 0.1 ~0.3(That is, Ga is 0.9~0.7). The thickness of the GaInAs layer may be up to a critical thickness which reduces as the proportion of In increases. In the present embodiment, it is up to

200 angstrom and thickness of the GaInAs layer may be 50 - 200 angstrom.

The carrier density of the GaAs layer 140 also varies with the growth equipment and it is usually smaller than $10^{16}\,cm^{-3}$. A larger thickness of this layer is preferable but the larger the thickness is, the smaller is the mutual conductance. In balance with the layer to be formed thereon, an appropriate range may be 25 - 200 angstrom.

The carrier density of the cap layer 150 is also smaller than $10^{15}\,cm^{-3}$. The thickness is 300 angstrom which is sufficient to confine the electrons. It may be determined to attain a desired mutual conductance gm.

The cap layer and the buffer layer may be single layers of compound semiconductor having a smaller electronegativity than that of GaAs, such as AlGaAs or GaInP or laminated structures of a combination of the compound semiconductor and GaAs, instead of the single layer structure of the undoped GaAs layer.

A plurality of delta-doped layers may be formed in the channel layer so that a transistor having a desired threshold level Vth is produced.

The gate electrode structure is of planar structure by the self-alignment ion implantation in the above embodiment although it may be of recessed structure (Fig. 1) having a contact layer of compound semicondutor (such as Si-doped GaAs layer or Si-doped GaInAs layer).

The GaInAs layer of the channel layer may be of structure having continuously or stepwise changing in proportion in the GaInAs layer. In this manner, the lattice mis-alignment of crystal lattice of GaAs and GaInAs is relieved and the electron mobility is improved.

As to the chemical composition, GaInAs may be a material represented by a general formula $Ga_{1-x}In_xAs$ ($x>0$), AlGaAs may be a material represented by a general formula $Al_mGa_{1-m}As$ ($m>0$), and GaInP may be a material represented by a general formula $Ga_rIn_{1-r}P$ ($r\geq0$).

A second embodiment is now explained.

As shown in Fig. 7 in the structure of the present transistor, the undoped In_xGa_{1-x} layer 130a ($0<x \leq1$), the n-type GaAs layer 142 having impurity doped the undoped $Ga_{1-y}As$ layer 130b ($0 <y \leq1$)and the cap layer 150 are sequentially laminated on the buffer layer 120, and the gate electrode 340, the source electrode 360 and the drain electrode 370 are formed on the cap layer 150.

In the structure of the present transistor, an undoped GaAs spacer layer may be added in the interface of the undoped $In_xGa_{1-x}As$ ($0<x \leq1$)layer 130a and the n-type GaAs layer 142 or in the interface of the undoped $In_yGa_{1-y}As$ ($0 <y \leq1$) layer 130b and the n-type GaAs layer 142. This will be described hereinlater.

Fig. 8A and 8B show a band diagram of the present transistor. Fig. 8A shows the band diagram when VGS = 0 volt.

With the structure of the present transistor, when the gate bias is driven into the positive side (VGS>0) to increase the drain current, a portion of the two-dimensional electrons 107 generated in the interface with the undoped $In_xGa_{1-x}As$ layer 130a falls into the $In_yGa_{1-y}As$ layer 130b formed above the impurity doped GaAs layer 142 even if it makes the real space transition and jumps into the impurity doped GaAs layer 142. Accordingly, the reduction of gm which is inherent to the prior art HEMT can be prevented.

A manufacturing process of the present transistor in explained with reference to Fig. 9A - 9C.

The undoped GaAs buffer layer 120 having a p carrier conductivity type ($\sim5\times10^{15}\,cm^{-3}$) is formed to a thickness of 10,000 angstrom on the semi-insulative GaAs substrate 110 by the organaic metal vapor phase growth method (OMVPE method) or the molecule beam epitaxial method (MBE method). Then, the undoped $In_{0.18}Ga_{0.72}As$ layer 130a having an n carrier conductivity type ($\sim1\times10^{15}\,cm^{-3}$) is formed on the GaAs layer 120, and then the Si-doped GaAs layer 142 ($4\times10^{18}\,cm^{-3}$) is formed to a thickness of 100 angstrom (Fig. 9A). The undoped $In_{0.20}Ga_{0.80}As$ layer 130b having an n carrier conductivity type ($\sim1\times10^{15}\,cm^{-3}$) is formed on the Si-doped GaAs layer 142 to a thickness of 100 angstrom. Then, the undoped GaAs cap layer 150 having the n carrier conductivity type ($\sim1\times10^{15}\,cm^{-3}$)is formed to a thickness of 300 angstrom (Fig. 9B). The gate electrode 340 is formed on the laminated epitaxial structure, the n^+ion implantation layers 350a and 350b are formed with the self-alignment to the gate electrode, it is annealed for a short period, and the source electrode 360 and the drain electrode 370 are formed on the n^+ ion implantation layers 350a and 350b. In this manner, the transistor of the planar structure is completed (Fig. 9C).

In the present embodiment, the parameters of the respective layers may assume various values as they do in the first embodiment and a variety of combinations may be used.

In this present manufactureing process, the latice misalignment between the Si-doped GaAs layer 142 and the InGaAs layers 130a and 130b raises a problem, but it is reported that the lattice misalignment may be neglected if the thickness of the layer is sufficiently thin (J.J.Rosenberg et al, IEEE Electron Device Letters, pp 491-493, Vol. EDL-6, No. 10, October 1985).

Since the two-dimensional electron gas is formed in the interface of GaAs/InGaAs by inserting the $In_{0.18}Ga_{0.72}As$ layer 130a under the Si-doped GaAs layer 142, the electrons move faster than

they move in the Si-doped GaAs layer 142 and have a higher saturation velocity. Since the energy barrier of the conduction band is formed in the hetero-interface of the $In_{0.18}Ga_{0.72}As$ layer 130a and the buffer layer 120, the electrons are harder to flow into the buffer layer 120 and the rise of gm is abrupt even at the gate bias which is in the vicinity of Vth.

When the gate bias is driven into the positive side to increase the drain current, the electrons fall into the $In_{0.20}Ga_{0.80}As$ layer 130b by the insertion of the $In_{0.20}Ga_{0.80}As$ layer 130b above the Si-doped GaAs layer even if a portion of the two-dimensional electrons makes the real space transition and jumps into the Si-doped GaAs layer 142. Accordingly, the abrupt reduction of gm which is inherent to the prior art HEMT can be prevented.

The band structure of Fig. 8 is equally applicable to the first embodiment described above.

The dependency of gm on the gate electrode in the transistor having such a structure is shown by a solid line in Fig. 10. The rise of gm in the vicinity of Vth is more abrupt than that of the impurity doped MESFET, and gm has no peak profile as it does in the HEMT. Even if the gate bias is driven into the positive side, the gentle reduction of gm can be surppessed and gm is generally higher than that of the impurity doped MESFET.

The high electron mobility transistor of the present invention which exhibits the characteristic described above shown a very excellent characteristic.

The gate electrode is formed on the undoped GaAs cap layer 150 and the source electrode 360 and the drain electrode 370 are formed in the ion implantation regions which are self-aligned to the gate electrode 340. Because of the planar structure, the present transistor is most suitable for use as a transistor of the integrated circuit. In the prior art HEMT it is not possible to adopt the planar structure by the self-alignment ion implantation because the abruptness is required in the interface of AlGaAs/GaAs, because in the ion implantaton, the high temperature annealing is required to activate the implanted Si and Al in the AlGaAs layer diffuses into the GaAs layer during the anneal process so that the electrons are subject to the impurity scatter and the electron mobility and the saturation velocity are significantly reduced. In the present embodiment, the GaAs/InGaAs HEMT which includes a small diffusion atom In in the anneal process is used so that the planar structure is readily attaianed.

A third embodiment is now explained.

Fig. 11A - 11C shows a manufacturing process thereof. The present embodiment differs from the previous embodiment in that the cap layer 150 is omitted and the electrodes 340, 360 and 370 are formed directly on the undoped $In_{0.20}Ga_{0.80}$ layer 130b (Fig. 11C). With such a structure, a gate leakage current slightly increases but the substantially same effect as that of the previous embodiment is attained.

In the above embodiments, the cap layer 150 and the buffer layer 120 are of single layer structure of undoped GaAs although they may be of single layer structure of a compound semiconductor such as AlGaAs or InGaP or of lamination structure of a combination of the compound semiconductor and GaAs.

The gate electrode structure is the planar structure using the self-alignment ion implantation in the above embodiment. Alternatively, as shown in Fig. 11A or Fig. 9B the source electrode 360 and the drain electrode 370 may be formed through the ohmic contact layer (Si-doped GaAs layer or Si-doped InGaAs layer) formed on the undoped $In_yGa_{1-y}As$ layer 130b or the cap layer 150 and the gate electrode may be formed on the undoped $In_yGa_{1-y}As$ layer 130b exposed at the bottom of the etched ohmic contact layer or the cap layer 150 to form a recessed structure.

The proportion of In in the InGaAs layers 130a and 130b above and beneath the pulse doped GaAs layer 142 may be continuously or stepwise changed in the InGaAs layer vertically to the plane to reline the lattice misalignment of the crystal lattices of the GaAs layer and the InGaAs layer to improve the electron mobility.

Further, the undoped GaAs spacer layer (which corresponds to the undoped AlGaAs spacer layer 220 in Fig. 1) may be inserted in the interface of GaAs/InGaAs.

With the structure having the spacer layer, the two-dimensional electron mobility can be enhanced by spacing the undoped GaAs spacer layer.

In accordance with the present invetnion, the transistor which has the advantages of both the HEMT and the impurity doped MESFET is provided and it is useful as a low noise device, a high frequency device or a high speed device. Since it has the epitaxial structure and the electrode structure which are suitable for the integration, it is useful as a transistor to construct a microwave monolithic integrated circuit (MMIC).

From the invention thus described, it will be obvious that the invention may be varied in many ways. Such variations are not to be regarded as a departure from the spirit and scope of the invention, and all such modifications as would be obvious to one skilled in the art are intended to be included within the scope of the following claims.

Claims

1. A semiconductor device having a drain electrode, a source electrode and a gate electrode and controlling a current flowing through a channel between the drain and the source by a voltage applied to said gate electrode, comprising

   a channel layer formed by a GaAs layer including n-type dopant and undoped GaInAs layers sandwiching said GaAs layer; and

   a buffer layer made of an undoped semiconductor having a larger electronegativity than that of GaInAs;

   said channel layer being formed between said buffer layer and said gate electrode.

2. A semiconductor device according to claim 1, wherein the semiconductor of said buffer layer has a larger band gap than that of GaInAs.

3. A semiconductor device according to claim 1 or 2, further comprising an undoped cap layer electrically connected to said gate electrode and made of a semiconductor having a larger band gap than that of GaInAs.

4. A semiconductor device according to any of claims 1 to 3, wherein a carrier density of said channel layer is smaller than 10^{15} cm^{-3}.

5. A semiconductor device according to claim 1, wherein said channel layer includes at least one two-dimensional layer including n-type dopant, undoped GaAs layers sandwiching said two dimensional layer and undoped GaInAs layers sandwiching said GaAs layer.

6. A semiconductor device according to claim 5, wherein said buffer layer has a p carrier conductivity type and has a thickness of 10,000 angstrom, said GaInAs layer of said channel layer has an n carrier conductivity type, the layer facing said buffer layer primarily consists of $Ga_{0.72}In_{0.18}As$ and has a thickness of 80 angstrom, and the layer facing said gate electrode primarily consists of $Ga_{0.80}In_{0.20}$ and has a thickness of 100 angstrom.

7. A semiconductor device according to Claim 6, further comprising an undoped n-type cap layer electrically connected to said gate electrode and made of a semiconductor having a larger band gap than that of GaInAs, said cap layer having a thickness of 300 angstrom.

8. A semiconductor device according to any of claims 5 to 7, wherein a carrier density of the undoped layers sandwiching said two-dimensional layer of the GaAs layers of said channel layer is smaller than 10^{15} cm^{-3}.

9. A semiconductor device according to any of claims 5 to 8, wherein a proportion of In in said undoped GaInAs layer changes continuously or stepwise.

10. A semiconductor device according to any of claims 1 to 9, wherein a drain region and a source region are formed by introducing impurity up to neighborhood of the opposite ends of said channel.

11. A semiconductor device according to any of claims 1 to 10, wherein carrier densities of said undoped GaInAs layer and said buffer layer are smaller than 10^{15} cm^{-3}.

12. A semiconductor device according to claim 1, wherein said channel layer includes an n-type GaAs layer doped with n-type dopant and undoped GaInAs layers sandwiching said GaAs layer.

13. A semiconductor device according to claim 12, further comprising an undoped spacer layer including GaAs formed between said undoped GaInAs layer facing said buffer layer and said n-type GaAs layer.

14. A semiconductor device according to claim 12 or 13, wherein said buffer layer has a p carrier conductivity type and has a thickness of 10,000 angstrom, said GaInAs layer of said channel layer has an n carrier conductivity type, the layer facing said buffer layer primarily consists of $Ga_{0.72}In_{0.18}As$ and has a thickness of 80 angstrom, and the layer facing said gate electrode primarily consists of $Ga_{0.80}In_{0.20}As$ and has a thickness of 100 angstrom.

15. A semiconductor device according to any of claims 12 to 14, further comprising an undoped n-type cap layer electrically connected to said gate electrode and made of a semiconductor having a larger band gap than that of GaInAs, said cap layer having a thickness of 300 angstrom.

16. A semiconductor device according to claim 14 or 15, wherein said n-type GaAs layer of said channel layer has a carrier density of 10^{18} cm^{-3}.

5

17. A method for manufacturing a semiconductor device comprising the steps of:

sequentially forming a buffer layer made of undoped GaAs and an undoped GaInAs layer on a GaAs substrate;

10

alternately growing an undoped GaAs layer and a delta doped layer having n-type dopant delta-doped on said GaInAs layer to form a channel layer;

forming a GaInAs layer and an undoped *15* GaAs layer on said channel layer and forming a gate electrode on a predetermined area on said undoped GaAs layer; and

forming a source region and a drain region by ion implantation with self-alignment to said *20* gate electrode and forming a source electrode and a drain electrode.

18. A method for manufacturing a semiconductor device comprising the steps of: *25*

sequentially forming a buffer layer made of undoped GaAs and an undoped GaInAs layer on a GaAs substrate;

successively growing an undoped GaAs layer, a delta doped layer having n-type dopant *30* delta-doped and an undoped GaAs layer on said GaInAs layer to form a channel layer;

forming a GaInAs layer and an undoped GaAs layer on said channel layer and forming a gate electrode on a predetermined area on *35* said undoped GaAs layer; and

forming a source region and a drain region by ion implantation with self-alignment to said gate electrode and forming a source electrode and a drain electrode. *40*

45

50

55

Fig. 1

Fig. 2

Fig.3

Fig. 4B

Two dimentional electron gas

Fig. 4A

Fig.5

Fig.6A

140a₁
130a
120
110

Fig.6B

150
140a₃
140b₂
140a₂
130b
140b₁
140a₁
130a
120
110

Fig.6C

360   340   370
350a
350b
120
110

Fig. 7

Fig. 8B

Fig. 8A

Fig.9A

142
130a
120
110

Fig.9B

150
130b
142
130a
120
110

Fig.9C

360 340 370
350a   350b
120
110

Fig. 10

Fig.11A

130b
142
130a
120
110

Fig.11B

350a
350b
130b
142
130a
120
110

Fig.11C

360
340
370
350a
350b

(54) Title: FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ
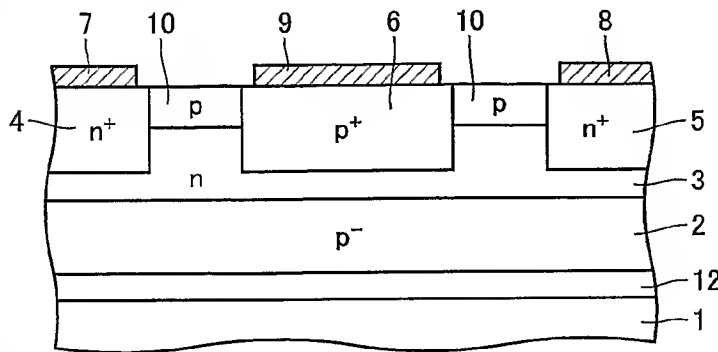
(57) Abstract: An electric-field moderating layer (12) and a p-type buffer layer (2) are formed on an SiC single crystal substrate (1). The electric-field moderating layer (12) is so formed between the p-type buffer layer (2) and the SiC single crystal substrate (1) that it is in contact with the SiC single crystal substrate (1). An n-type semiconductor layer (3) is formed on the p-type buffer layer (2). A p-type semiconductor layer (10) is formed on the n-type semiconductor layer (3). An n+-type source region layer (4) and an n+-type drain region layer (5) are formed at a certain distance from each other within the p-type semiconductor layer (10). A p+-type gate region layer (6) is formed in a portion of the p-type semiconductor layer (10) lying between the n+-type source region layer (4) and the n+-type drain region layer (5).

(57) 要約: SiC単結晶基板 (1) 上に、電界緩和層 (12) およびp-型バッファ層 (2) が形成されている。電界緩和層 (12) は、p-型バッファ層 (2) とSiC単結晶基板 (1) との間においてSiC単結晶基板 (1) と接するように形成されている。p-型バッファ層 (2) 上にはn型半導体層 (3) が形成されている。n型半導体層 (3) 上にはp型半導体層 (10) が形成されている。p型半導体層 (10) の中には、所定の間隔を隔ててn+型ソース領域層 (4) およびn+型ドレイン領域層 (5) が形成されている。n+型ソース領域層 (4) とn+型ドレイン領域層 (5) とによって挟まれたp型半導体層 (10) の領域の部分には、p+型ゲート領域層 (6) が形成されている。

WO 2004/112150 A1

添付公開書類:
―　　国際調査報告書

２文字コード及び他の略語については、定期発行される
各*PCT*ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明細書

電界効果トランジスタ

技術分野

本発明は電界効果トランジスタに関し、特に、絶縁破壊が抑制される電界効果トランジスタに関するものである。

背景技術

接合型電界効果トランジスタでは、キャリアが通過するチャネル領域の側部に設けられたｐｎ接合に対して、ゲート電極から逆バイアス電圧を印加することにより、ｐｎ接合から広がる空乏層をチャネル領域にまで広げて、チャネル領域のコンダクタンスを制御してスイッチング動作が行なわれる。

この接合型電界効果トランジスタのうち、チャネル領域においてキャリアが素子表面に平行に移動する横型の電界効果トランジスタがある。ここで、そのような横型の電界効果トランジスタとして、特開２００３－６８７６２号公報に記載された横型の電界効果トランジスタについて説明する。

図１１に示すように、ＳｉＣ単結晶基板１０１上にｐ-型半導体層１０２が形成されている。そのｐ-型半導体層１０２上にｎ型半導体層１０３が形成されている。そのｎ型半導体層１０３上にｐ型半導体層１１０が形成されている。

ｐ型半導体層１１０の中には、互いに所定の間隔を隔ててｎ+型ソース領域層１０４、ｐ+型ゲート領域層１０６およびｎ+型ドレイン領域層１０５がそれぞれ形成されている。

そのｎ+型ソース領域層１０４、ｐ+型ゲート領域層１０６およびｎ+型ドレイン領域層１０５の上には、ソース電極１０７、ゲート電極１０９およびドレイン電極１０８がそれぞれ形成されている。

しかしながら、上述した従来の横型の電界効果トランジスタでは次のような問題点があった。電界効果トランジスタがオフの状態において、ドレイン電極１０８を介してドレイン領域層１０５に正の電圧が印加されると、図１１に示すよう

1

に、空乏層１２１は、ドレイン領域層１０５とゲート領域層１０６との間において広がるとともに、ドレイン領域層１０５の直下に位置するｐ－型半導体層１０２とｎ型半導体層１０３との界面から、ＳｉＣ単結晶基板１０１とｐ－型半導体層１０２との界面へ向かって延びることになる。

5　　　　ところが、図１１に示すように、ＳｉＣ単結晶基板１０１とｐ－型半導体層１０２との界面には結晶欠陥１２０が比較的多く存在する。そのため、この部分の絶縁破壊電圧は、結晶欠陥が多く存在する領域から十分に離れた領域における絶縁破壊電圧よりも低くなる。

　　　　その結果、空乏層１２１の端がＳｉＣ単結晶基板１０１の近傍にまで達すると、10　容易に絶縁破壊が発生するという問題があった。

発明の開示

　　　　本発明は上記問題点を解決するためになされたものであり、その目的は絶縁破壊が抑制される電界効果トランジスタを提供することである。

15　　　　本発明に係る電界効果トランジスタは、主表面を有する半導体基板と第１導電型の第１半導体層と第２導電型の第２半導体層と第１導電型の第３半導体層と１対のソース・ドレイン領域層とゲート領域層とを有している。第１導電型の第１半導体層は半導体基板の主表面上に形成されている。第２導電型の第２半導体層は第１半導体層上に形成されている。第１導電型の第３半導体層は第２半導体層上20　に形成されている。１対のソース・ドレイン領域層は、第３半導体層中において所定の間隔を隔てて形成されている。ゲート領域層は、１対のソース・ドレイン領域層によって挟まれた第３半導体層の領域の部分に形成されている。第１半導体層は、第３半導体層が位置する側に形成された第１不純物濃度を有するバッファ層と、バッファ層と半導体基板との間の領域において半導体基板と接するように形25　成され、第１不純物濃度よりも高い第２不純物濃度を有する電界緩和層とを備えている。

　　　　この構成によれば、電界効果トランジスタがオフの状態において、ドレイン領域層に正の電圧が印加されると、空乏層が、ドレイン領域層とゲート領域層との間において広がるとともに、ドレイン領域層の直下に位置するバッファ層と第２

半導体層との界面から半導体基板へ向かって延びることになる。このとき、電界緩和層が半導体基板の表面に接するように形成されていることで、半導体基板と電界緩和層との界面に比較的多く存在する結晶欠陥が電界緩和層の中に位置することになる。その電界緩和層の第2不純物濃度は、バッファ層の第1不純物濃度よりも高く設定されていることで、半導体基板へ向かって延びようとする空乏層においては、その電界緩和層によってその延びが抑えられることになる。これにより、空乏層の端が結晶欠陥を比較的多く含んだ半導体基板と電界緩和層との界面近傍にまで達することがなくなり、その結果、絶縁破壊を防止することができる。

そして、電界緩和層と半導体基板との界面における電界強度を、バッファ層が絶縁破壊に至る電界強度よりも小さくするためには、電界緩和層の第2不純物濃度をバッファ層の第1不純物濃度の5倍以上に設定することが好ましい。

さらに、生産性を向上するために電界緩和層の厚さをできるだけ薄くし、かつ、空乏層の延びを抑制する機能を確実に得ようとすれば、電界緩和層の第2不純物濃度はバッファ層の第1不純物濃度の少なくとも10倍以上に設定されていることが好ましい。

また、空乏層の幅を確保して絶縁耐性を保持するには、電界緩和層の厚さはできるだけ薄い方が望ましく、バッファ層の厚さに対する電界緩和層の厚さの比は、第1不純物濃度に対する第2不純物濃度の比の逆数以下に設定されていることが望ましい。

図面の簡単な説明

図1は、本発明の実施の形態に係る接合型の電界効果トランジスタの断面図である。

図2は、同実施の形態において、図1に示す電界効果トランジスタの製造方法の一工程を示す断面図である。

図3は、同実施の形態において、図2に示す工程の後に行なわれる工程を示す断面図である。

図4は、同実施の形態において、図3に示す工程の後に行なわれる工程を示す

断面図である。

　　　図５は、同実施の形態において、図４に示す工程の後に行なわれる工程を示す
断面図である。

　　　図６は、同実施の形態において、図５に示す工程の後に行なわれる工程を示す
5　　断面図である。

　　　図７は、同実施の形態において、図６に示す工程の後に行なわれる工程を示す
断面図である。

　　　図８は、同実施の形態において、図７に示す工程の後に行なわれる工程を示す
断面図である。

10　　図９は、同実施の形態において、電界効果トランジスタの効果を説明するため
の空乏層を示す断面図である。

　　　図１０は、同実施の形態において、電界効果トランジスタの効果を説明するた
めの電界強度のプロファイルを示す図である。

　　　図１１は、従来の電界効果トランジスタを示す断面図である。

15

発明を実施するための最良の形態

　　　本発明の実施の形態に係る接合型の電界効果トランジスタについて説明する。
図１に示すように、ＳiＣ単結晶基板１上には、第１半導体層としての電界緩和
層１２およびp-型バッファ層２が形成されている。特に、電界緩和層１２は、p
20　-型バッファ層２とＳiＣ単結晶基板１との間においてＳiＣ単結晶基板１と接
するように形成されている。

　　　p-型バッファ層２上には、第２半導体層としてのn型半導体層３が形成されて
いる。n型半導体層３上には、第３半導体層としてのp型半導体層１０が形成さ
れている。

25　　p型半導体層１０の中には、所定の間隔を隔ててn+型ソース領域層４およびn
+型ドレイン領域層５が形成されている。そのn+型ソース領域層４とn+型ドレイ
ン領域層５とによって挟まれたp型半導体層１０の領域の部分には、p+型ゲート
領域層６が形成されている。

　　　n+型ソース領域層４、p+型ゲート領域層６およびn+型ドレイン領域層５の上

には、ソース電極7、ゲート電極9およびドレイン電極8がそれぞれ形成されている。

　次に、上述した電界効果トランジスタの製造方法の一例について説明する。まず、図2に示すように、主表面を有するSiC単結晶基板1が用意される。なお、SiC単結晶基板1の導電型は問われない。

　次に、図3に示すように、温度約1500℃のもとでCVD（Chemical Vapor Deposition）法によって、SiC単結晶基板1の表面上に電界緩和層12が形成される。このとき、原料ガスとしてモノシラン（SiH_4）およびプロパン（C_3H_8）、不純物添加用ガスとしてジボラン（B_2H_6）、搬送ガスとして水素（H_2）がそれぞれ用いられる。

　次に、図4に示すように、同様のガスを用いて、CVD法により電界緩和層12上にp-型バッファ層2が形成される。なお、この場合には、電界緩和層12を形成する際の各ガス流量とは異なる流量のガスが使用される。

　次に、図5に示すように、温度約1500℃のもとでCVD法によって、p-型バッファ層2上にn型半導体層3が形成される。このとき、原料ガスとしてモノシラン（SiH_4）およびプロパン（C_3H_8）、不純物添加用ガスとして窒素（N_2）、搬送ガスとして水素（H_2）がそれぞれ用いられる。

　その後、さらに、温度約1500℃のもとでCVD法によって、n型半導体層3上にp型半導体層10が形成される。このとき、原料ガスとしてモノシラン（SiH_4）およびプロパン（C_3H_8）、不純物添加用ガスとしてジボラン（B_2H_6）、搬送ガスとして水素（H_2）がそれぞれ用いられる。

　次に、p型半導体層10上に所定のレジストパターン（図示せず）が形成される。そのレジストパターンをマスクとして、イオン注入法により温度300℃のもとでリン（P）を注入することにより、図6に示すように、所定の間隔を隔ててn+型ソース領域層4およびn+型ドレイン領域層5が形成される。その後、レジストパターンが除去される。

　次に、p型半導体層10上に所定のレジストパターン（図示せず）が形成される。そのレジストパターンをマスクとして、イオン注入法により温度300℃のもとでアルミニウム（Al）を注入することにより、図7に示すように、n+型ソ

ース領域層4とn+型ドレイン領域層5とによって挟まれた領域にp+型ゲート領域層6が形成される。その後、レジストパターンが除去される。

次に、n+型ソース領域層4、p+型ゲート領域層6およびn+型ドレイン領域層5を覆うように、p型半導体層10上に所定の導電層（図示せず）が形成される。

5   その導電層に所定の写真製版処理および加工を施すことにより、図8に示すように、n+型ソース領域層4、p+型ゲート領域層6およびn+型ドレイン領域層5の上に、ソース電極7、ゲート電極9およびドレイン電極8がそれぞれ形成される。このようにして、図1に示す電界効果トランジスタが完成する。

上述した電界効果トランジスタでは、特に、電界緩和層12がp-型バッファ層

10 2とSiC単結晶基板1との間においてSiC単結晶基板1と接するように形成されていることで、絶縁破壊の抑制が図られる。以下、このことについて説明する。

電界効果トランジスタがオフの状態において、ドレイン電極8を介してドレイン領域層5に正の電圧が印加されると、図9に示すように、空乏層21は、ドレ

15 イン領域層5とゲート領域層6との間において広がるとともに、ドレイン領域層5の直下に位置するp-型バッファ層2とn型半導体層3との界面から、SiC単結晶基板1へ向かって延びることになる。

図9に示すように、本電界効果トランジスタでは、電界緩和層12がSiC単結晶基板1の表面に接するように形成されていることで、SiC単結晶基板1と

20 電界緩和層12との界面に比較的多く存在する結晶欠陥20が電界緩和層12の中に位置することになる。

その電界緩和層12の不純物濃度は、p-型バッファ層2の不純物濃度よりも高く設定されている。そのため、SiC単結晶基板1へ向かって延びようとする空乏層においては、その電界緩和層12によってその延びが抑えられることになる。

25 これにより、図9に示すように、空乏層21の端が結晶欠陥を比較的多く含んだSiC単結晶基板1と電界緩和層12との界面近傍にまで達することがなくなって、絶縁破壊を防止することができる。

これについて、さらに具体的に説明する。図10は、電界効果トランジスタにおける電界緩和層12およびp-型バッファ層2の深さ方向に対する電界強度を

6

示したグラフである。

　　図１０に示される電界効果トランジスタにおいて、電界緩和層１２の厚さL１を０．５μm、不純物濃度（第２不純物濃度）C１を１×10^{17}/cm^3とし、p-型バッファ層２の厚さL２を５．０μm、不純物濃度（第１不純物濃度）C２を１×10^{16}/cm^3として、ドレイン領域層５に６００Vの電圧を印加した場合に、p-型バッファ層２のn型半導体層３側の表面（A）における電界強度は約１．６×10^6V/cmになる。

　　また、電界緩和層１２とp-型バッファ層２との界面（B）における電界強度は約０．７×10^6V/cmになる。さらに、電界緩和層１２とp-型バッファ層２との界面から電界緩和層１２に約０．３５μm程度（距離D）入り込んだ位置において、電界強度はほぼ０になる。

　　そして、上記条件において電界緩和層１２の不純物濃度C１だけを変化させた場合の電界強度、つまり、電界緩和層１２の厚さL１を０．５μm、p-型バッファ層２の厚さL２を５．０μm、不純物濃度C２を１×10^{16}/cm^3とした状態で電界緩和層１２の不純物濃度C１を変化させた場合に、ドレイン領域層５に６００Vの電圧を印加したときの電界緩和層１２とSiC単結晶基板１との界面における電界強度は次のようになる。

　　まず、電界緩和層１２の不純物濃度C１をp-型バッファ層２の不純物濃度C２と同じ不純物濃度（１×10^{16}/cm^3）とした場合の電界強度は、約０．６×10^6V/cmになる。次に、電界緩和層１２の不純物濃度C１をp-型バッファ層２の不純物濃度C２の４倍の不純物濃度（４×10^{16}/cm^3）とした場合の電界強度は、約０．３×10^6V/cmになる。

　　次に、電界緩和層１２の不純物濃度C１をp-型バッファ層２の不純物濃度C２の５倍の不純物濃度（５×10^{16}/cm^3）とした場合の電界強度は、約０．２×10^6V/cmになり、電界緩和層１２の不純物濃度C１をp-型バッファ層２の不純物濃度C２の７倍の不純物濃度（７×10^{16}/cm^3）とした場合の電界強度は、ほぼ０V/cmになる。このように、p-型バッファ層２の不純物濃度C２に対して電界緩和層１２の不純物濃度C１を高くすることによって、電界緩和層１２とSiC単結晶基板１との界面における電界強度は小さくなる。

7

　　　そして、電界緩和層１２の不純物濃度Ｃ１をｐ－型バッファ層２の不純物濃度Ｃ２の１０倍の不純物濃度（１×１０^{17}／ｃｍ^3）とした場合には、上記のように電界緩和層１２とｐ－型バッファ層２との界面から電界緩和層１２の側に約０．３５μm程度（距離Ｄ）入り込んだ位置において、電界強度がほぼ０になる。

　　　一方、電界緩和層１２を備えず、ＳｉＣ単結晶基板１の表面に厚さ約５．５μmのｐ－型バッファ層が直接形成された電界効果トランジスタの場合（比較例）には、ｐ－型バッファ層とＳｉＣ単結晶基板１との界面における電界強度は０．６×１０^{6}Ｖ／ｃｍになる。

　　　ｐ－型バッファ層２が絶縁破壊に至る電界強度は約３．０×１０^{6}Ｖ／ｃｍであり、電界緩和層１２とＳｉＣ単結晶基板１との界面における電界強度はその電界強度の１／１０よりも小さいことが好ましく、電界緩和層１２中における電界強度がほぼ０になることがさらに好ましい。すなわち、ＳｉＣ単結晶基板１との界面近傍に位置する電界緩和層１２の部分における電界強度も、その界面から十分に離れたところに位置する電界緩和層１２の部分における電界強度もほぼ０であることがさらに好ましい。

　　　上述した電界緩和層１２とＳｉＣ単結晶基板１との界面における電界強度との関係から、電界緩和層１２とＳｉＣ単結晶基板１との界面における電界強度を、そのｐ－型バッファ層２が絶縁破壊に至る電界強度（約３．０×１０^{6}Ｖ／ｃｍ）の１／１０よりも小さくするためには、電界緩和層１２の不純物濃度Ｃ１をｐ－型バッファ層２の不純物濃度Ｃ２の５倍以上に設定することが好ましく、１０倍以上に設定することがより好ましい。

　　　実験によれば、電界緩和層１２の厚さＬ１を０．５μm、ｐ－型バッファ層２の厚さＬ２を５．０μm、不純物濃度Ｃ２を１×１０^{16}／ｃｍ^{3}とした接合型電界効果トランジスタにおいて、電界緩和層１２の不純物濃度Ｃ１をｐ－型バッファ層２と同じ不純物濃度Ｃ２（１×１０^{16}／ｃｍ^3）としたときのドレイン・ソース間の絶縁耐圧は、約４００Ｖであることが確認された。

　　　これに対して、電界緩和層１２の不純物濃度Ｃ１をｐ－型バッファ層２の不純物濃度Ｃ２の１０倍の不純物濃度（１×１０^{17}／ｃｍ^3）としたときのドレイン・ソース間の絶縁耐圧は、約７２０Ｖであることが確認され、絶縁耐圧が大幅に向上す

ることが判明した。

電界緩和層12を形成する際の不純物としてボロンを使用する場合には、不純物濃度が約1×10^{19}/cm³（固溶限界）を超えると結晶欠陥が非常に多く発生する。そのため、この値を超えて電界緩和層12の不純物濃度を設定することは好ましくない。

このように、本電界効果トランジスタでは、比較例となる電界効果トランジスタと比べて、電界緩和層12を備えていることによって空乏層の延びが抑制されて、電界緩和層12中において電界強度がほぼ0となる。

これにより、結晶欠陥の密度が比較的高く絶縁破壊電界が低いSiC単結晶基板1と電界緩和層12との界面付近における電界強度が低く抑えられて、電界効果トランジスタにおいて結晶欠陥に起因する絶縁破壊を抑制することができる。

なお、電界緩和層12における空乏層の延びは、電界緩和層12の不純物濃度をp－型バッファ層2の不純物濃度のα倍とすると、電界緩和層12の不純物濃度をp－型バッファ層2の不純物濃度と同じ不純物濃度とした場合の空乏層の延びの約$1 / \alpha$倍となる。

また、p－型バッファ層2では、比較的電界強度が高いため、不純物濃度が高くなると欠陥が生じて耐圧破壊が生じやすい。そのため、p－型バッファ層2の不純物濃度を比較的高い値に設定することは好ましくなく、そのようなp－型バッファ層2だけによって電界を緩和させようとすると、より厚いp－型バッファ層2が必要になって生産性が阻害されることになる。

上述した電界効果トランジスタでは、SiC単結晶基板1との界面付近に位置して結晶欠陥が比較的多く存在するエピタキシャル層として、p－型バッファ層2の不純物濃度よりも高い不純物濃度を有する電界緩和層12を備えることによって、p－型バッファ層2の厚さを厚くすることなく空乏層の延びを抑制して絶縁破壊を防止することができる。

すなわち、生産的な観点から、p－型バッファ層2に加えて電界緩和層12を備えることで、p－型バッファ層2と電界緩和層12の層全体としては、その厚さを薄く形成することができて生産性を向上することができる。

また、設計的な観点からは、電界緩和層12はSiC単結晶基板1と電界緩和

9

層との界面へ空乏層が延びるのを阻止し、p-型バッファ層2は耐圧を確保するというそれぞれの機能が明確になるように電界緩和層12とp-型バッファ層2とを形成することが好ましい。

そのためには、アクセプタのイオン化した総量を考慮すると、p-型バッファ層2の総量（L2×C2）が電界緩和層12の総量（L1×C1）よりも大きいという関係を有していることが好ましい。

この関係を言い換えると、p-型バッファ層2の厚さL2に対する電界緩和層12の厚さL1の比（L1/L2）が、p-型バッファ層2の不純物濃度C2に対する電界緩和層12の不純物濃度C1の比（C1/C2）の逆数以下に設定されていればよいことになる。

以上により、生産性を向上するために電界緩和層12の厚さをできるだけ薄くし、かつ、空乏層の延びを抑制する機能を確実に得ようとすれば、電界緩和層12の不純物濃度をp-型バッファ層2の不純物濃度の少なくとも10倍に設定することが望ましい。

なお、上述した電界効果トランジスタでは、接合型電界効果トランジスタを例に挙げたが、横型電界効果トランジスタであればMO（Metal Oxide）電界効果トランジスタなどにも適用することができる。

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

この発明は、パワー用の電界効果トランジスタとして、スイッチング電源や自動車のインバータ等に有効に適用される。

請求の範囲

1. 主表面を有する半導体基板（1）と、

前記半導体基板（1）の主表面上に形成された第1導電型の第1半導体層（1
2，2）と、

前記第1半導体層（12，2）上に形成された第2導電型の第2半導体層（3）
と、

前記第2半導体層（3）上に形成された第1導電型の第3半導体層（10）と、

前記第3半導体層（10）中において所定の間隔を隔てて形成された1対のソ
ース・ドレイン領域層（4，5）と、

1対の前記ソース・ドレイン領域層（4，5）によって挟まれた前記第3半導体
層（10）の領域の部分に形成されたゲート領域層（6）と
を有し、

前記第1半導体層（12，2）は、

前記第3半導体層（10）が位置する側に形成された第1不純物濃度を有する
バッファ層（2）と、

前記バッファ層（2）と前記半導体基板（1）との間の領域において前記半導
体基板（1）と接するように形成され、前記第1不純物濃度よりも高い第2不純
物濃度を有する電界緩和層（12）と
を備えた、電界効果トランジスタ。

2. 前記第2不純物濃度は前記第1不純物濃度の5倍以上に設定された、請求
項1記載の電界効果トランジスタ。

3. 前記第2不純物濃度は前記第1不純物濃度の少なくとも10倍以上に設定
された、請求項2記載の電界効果トランジスタ。

4. 前記バッファ層（2）の厚さに対する前記電界緩和層（12）の厚さの比
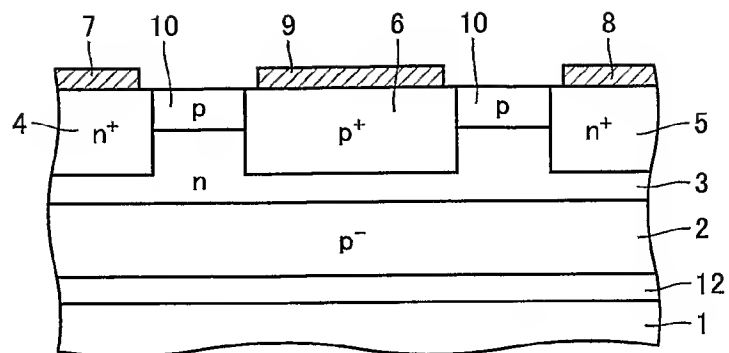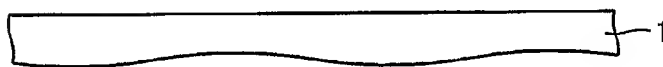は、前記第1不純物濃度に対する前記第2不純物濃度の比の逆数以下に設定され
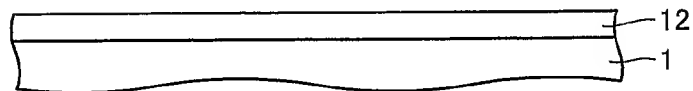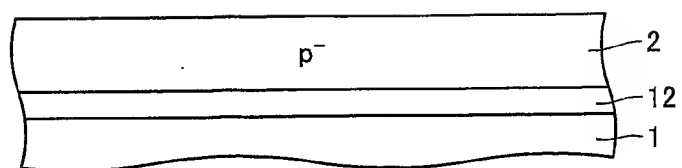た、請求項1記載の電界効果トランジスタ。

FIG.1

FIG.2

FIG.3

FIG.4

p^- — 2
— 12
— 1

FIG.5

p — 10
n — 3
p^- — 2
— 12
— 1

FIG.6

10
n^+ 4 — p — n^+ — 5
n — 3
p^- — 2
— 12
— 1
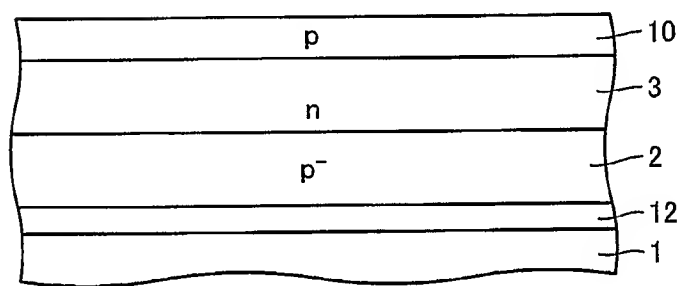
FIG.7

FIG.8

FIG.9

FIG.10

FIG.11
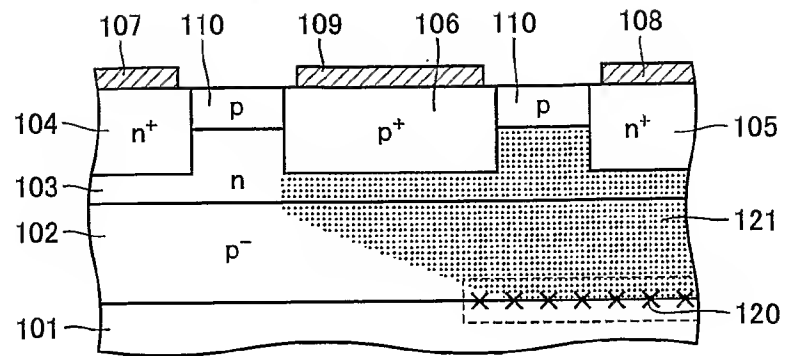
A.	CLASSIFICATION OF SUBJECT MATTER

Int.Cl^7 H01L29/808, H01L29/06

According to International Patent Classification (IPC) or to both national classification and IPC

B.	FIELDS SEARCHED

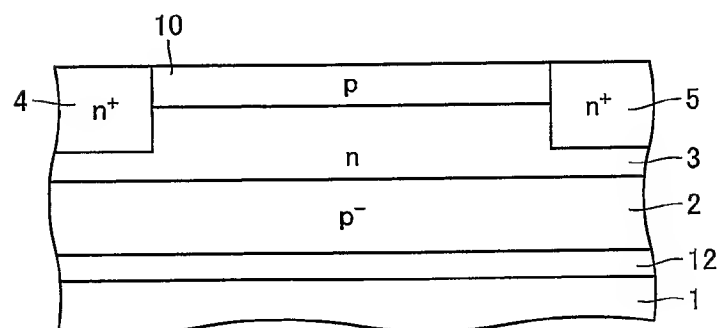Minimum documentation searched (classification system followed by classification symbols)

Int.Cl^7 H01L29/808, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| Jitsuyo Shinan Koho | 1922–1996 | Jitsuyo Shinan Toroku Koho | 1996–2004 |
| Kokai Jitsuyo Shinan Koho | 1971–2004 | Toroku Jitsuyo Shinan Koho | 1994–2004 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C.	DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-68762 A (Sumitomo Electric Industries, Ltd.), 07 March, 2003 (07.03.03), Par. Nos. [0037] to [0042]; Fig. 2 & US 2003/0168704 A1 Par. Nos. [0052] to [0057]; Fig. 2 & EP 1396890 A1 & KR 3027025 A & WO 2001/103807 A1	1-4
Y	WO 2001/086727 A2 (CREE, INC.), 15 November, 2001 (15.11.01), Page 23, line 5 to page 24, line 18; Fig. 9 & JP 2003-533051 A Par. Nos. [0078] to [0081]; Fig. 9 & AU 3835101 A & CN 1441965 A & EP 1285464 A2 & KR 2092445 A & TW 492198 B & US 6686616 B1	1-4

☒ Further documents are listed in the continuation of Box C.   ☐ See patent family annex.

*	Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A"	document defining the general state of the art which is not considered to be of particular relevance		
"E"	earlier application or patent but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means		
"P"	document published prior to the international filing date but later than the priority date claimed	"&"	document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 August, 2004 (19.08.04)	07 September, 2004 (07.09.04)

Name and mailing address of the ISA/	Authorized officer
Japanese Patent Office	
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

International application No.

PCT/JP2004/007397

C (Continuation).   DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-323499 A (Hitachi Cable, Ltd.), 24 November, 2000 (24.11.00), Par. No. [0011] (Family: none)	1-4
A	JP 9-74106 A (Sumitomo Chemical Co., Ltd.), 18 March, 1997 (18.03.97), Full text; Figs. 1 to 9 (Family: none)	1-4
A	JP 64-31471 A (Shimadzu Corp.), 01 February, 1989 (01.02.89), Full text; Figs. 1 to 7 (Family: none)	1-4

A.	発明の属する分野の分類（国際特許分類（ＩＰＣ））

　　　Int.Cl⁷　　　Ｈ０１Ｌ２９／８０８，Ｈ０１Ｌ２９／０６

B.	調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

　　　Int.Cl⁷　　　Ｈ０１Ｌ２９／８０８，Ｈ０１Ｌ２９／０６

最小限資料以外の資料で調査を行った分野に含まれるもの
　　日本国実用新案公報　　　　　　１９２２－１９９６年
　　日本国公開実用新案公報　　　　１９７１－２００４年
　　日本国実用新案登録公報　　　　１９９６－２００４年
　　日本国登録実用新案公報　　　　１９９４－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.	関連すると認められる文献	
引用文献の カテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	ＪＰ　２００３－６８７６２　Ａ（住友電気工業株式会社） ２００３．０３．０７，段落番号【００３７】－【００４２】， 第２図 ＆　ＵＳ　２００３／０１６８７０４　Ａ１，段落番号【００５ ２】－【００５７】，第２図 ＆　ＥＰ　１３９６８９０　Ａ１　＆　ＫＲ　３０２７０２５　Ａ ＆　ＷＯ　２００１／１０３８０７　Ａ１	１－４

☒　Ｃ欄の続きにも文献が列挙されている。　　　　　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示す
　　もの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日
　　以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行
　　日若しくは他の特別な理由を確立するために引用する
　　文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願

　　の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって
　　出願と矛盾するものではなく、発明の原理又は理論
　　の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明
　　の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以
　　上の文献との、当業者にとって自明である組合せに
　　よって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 　　　　　　　１９．０８．２００４	国際調査報告の発送日 　　　０７．９．２００４		
国際調査機関の名称及びあて先 　　日本国特許庁（ＩＳＡ／ＪＰ） 　　郵便番号１００－８９１５ 　　東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 　　　　渕　真悟 電話番号　０３－３５８１－１１０１　内線　３４９６	４Ｌ	２９３３

国際調査報告　　　　　　　　　　　国際出願番号　ＰＣＴ／ＪＰ２００４／００７３９７

C（続き）．　関連すると認められる文献		
引用文献の カテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO　2001／086727　A2（CREE，INC.） 2001.11.15，第23頁第5行目－第24頁第18行目， 第9図 ＆　JP　2003-533051　A，段落番号【0078】－ 【0081】，第9図 ＆　AU　3835101　A　＆　CN　1441965　A ＆　EP　1285464　A2　＆　KR　2092445　A ＆　TW　492198　B　＆　US　6686616　B1	1－4
Y	JP　2000-323499　A（日立電線株式会社） 2000.11.24，段落番号【0011】（ファミリーなし）	1－4
A	JP　9-74106　A（住友化学工業株式会社） 1997.03.18，全文，第1－9図（ファミリーなし）	1－4
A	JP　64-31471　A（株式会社島津製作所） 1989.02.01，全文，第1－7図（ファミリーなし）	1－4